

Docket No.: 67161-111

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Naoya WATANABE	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 26, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE HAVING EASILY REDESIGNED MEMORY CAPACITY		

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

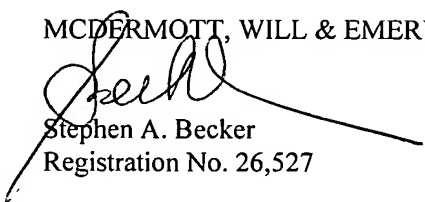
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

**Japanese Patent Application No. 2003-028670(P), filed on February 5, 2003.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:gav  
Facsimile: (202) 756-8087  
**Date: November 26, 2003**

67161-111

Naoya WATANABE

November 26, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月 5日

出 願 番 号

Application Number:

特願2003-028670

[ST.10/C]:

[JP2003-028670]

出 願 人

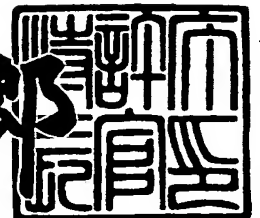
Applicant(s):

三菱電機株式会社

2003年 3月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3013370

【書類名】 特許願

【整理番号】 541851JP01

【提出日】 平成15年 2月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 渡邊 直也

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

    【識別番号】 100083703

    【弁理士】

    【氏名又は名称】 仲村 義平

【選任した代理人】

    【識別番号】 100096781

    【弁理士】

    【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】  $N$  を 2 以上の自然数、 $M$  を 2 以上  $N - 1$  以下の自然数とするとき、

相互に独立して行の活性化が可能な複数のメモリバンクを備え、

前記複数のメモリバンクのうちの第 1 のメモリバンクは、

第 1 ～第  $N$  のサブメモリブロックを含み、

前記第 1 ～第  $N$  のサブメモリブロックのうちの第  $M$  のサブメモリブロックは、

行列状に配列される複数のメモリセルを含む第 1 のメモリセルアレイと、

リフレッシュモードにおいて、第  $M - 1$  のサブメモリブロックから受ける第 1 のリフレッシュ完了信号に応じて前記メモリセルアレイの行の順次選択動作の開始を行ない、前記行の順次選択動作が終了すると第  $M + 1$  のサブメモリブロックに対してリフレッシュ開始の指示を行なう第 1 のローカル制御回路とを含み、

前記第 1 のメモリバンクは、

前記第 1 ～第  $N$  のサブメモリブロックの隣接する 2 つに各々が共有される複数のセンスアンプ帯をさらに含む、半導体記憶装置。

【請求項 2】 前記第 1 ～第  $N$  のサブメモリブロックの各々は、

メモリセルの行選択を行う複数のワード線を含み、

前記半導体記憶装置は、

前記複数のワード線のうちの 1 つを選択するために、前記第 1 ～第  $N$  のサブメモリブロックにおいて共通して用いられるリフレッシュアドレスを発生するアドレスカウンタと、

前記リフレッシュアドレスを前記第 1 ～第  $N$  のサブメモリブロックに伝達するアドレスバスとをさらに備える、請求項 1 に記載の半導体記憶装置。

【請求項 3】  $K$  を 2 以上の自然数とするとき、

前記第  $M$  のサブメモリブロックは、

メモリセルの行選択を行う第 1 ～第  $K$  のワード線を含み、

前記第 1 のローカル制御回路は、

第M-1のサブメモリブロックから受ける第1のリフレッシュ完了信号に応じて活性化され、リフレッシュアドレスをデコードして前記第1～第Kのワード線のうちの1つを選択するロウアドレスデコーダと、

前記リフレッシュアドレスが前記第Kのワード線のリフレッシュ完了に対応するときに、前記第M+1のサブメモリブロックに対してリフレッシュ開始の指示するために第2のリフレッシュ完了信号を出力するリフレッシュ完了検出回路とを含む、請求項1に記載の半導体記憶装置。

【請求項4】 前記第1のサブメモリブロックは、

行列状に配列される複数のメモリセルを含む第2のメモリセルアレイと、

リフレッシュモードにおいて、第Nのサブメモリブロックから受ける第3のリフレッシュ完了信号に応じて前記第2のメモリセルアレイの行の順次選択動作の開始を行ない、前記第2のメモリセルアレイの行の順次選択動作が終了すると第2のサブメモリブロックに対してリフレッシュ開始の指示を行なう第2のローカル制御回路とを含む、請求項1に記載の半導体記憶装置。

【請求項5】 前記第1のローカル制御回路は、

リセット信号に応じて非活性化され前記第M-1のサブメモリブロックから受ける前記第1のリフレッシュ完了信号に応じて活性化され第1のリフレッシュ開始信号を出力する第1のリフレッシュ開始制御回路を含み、

前記第2のローカル制御回路は、

前記リセット信号に応じて活性化され、かつ、前記第Nのサブメモリブロックから受ける前記第3のリフレッシュ完了信号に応じて活性化され第2のリフレッシュ開始信号を出力する第2のリフレッシュ開始制御回路を含む、請求項4に記載の半導体記憶装置。

【請求項6】 第1のメモリブロックを備え、前記第1のメモリブロックは、

リフレッシュモードにおいて循環してリフレッシュが行なわれる複数のサブメモリブロックを含み、前記複数のサブメモリブロックの各々は、

行列状に配列される複数のメモリセルを含むメモリセルアレイと、

各前記複数のサブメモリブロックにおいてリフレッシュが循環する順位が1つ

前である前段サブメモリブロックでのリフレッシュ動作が完了したことに応じて前記メモリセルアレイの行の順次選択動作を行なうローカル制御回路とを含み、

各前記複数のメモリブロックでのリフレッシュサイクル期間は、そのメモリブロックに含まれる前記サブメモリブロックの数に応じて決定される、半導体記憶装置。

【請求項 7】 前記複数のサブメモリブロックのうちの少なくとも 1 つのサブメモリブロックに対応する前記ローカル制御回路は、

対応する前段サブメモリブロックからのリフレッシュ完了信号に応じてリフレッシュ開始信号を活性化し、リフレッシュストップ信号に応じて前記リフレッシュ開始信号を非活性化するゲート回路を含み、

前記リフレッシュモードにおいて前記リフレッシュストップ信号に関わらずリフレッシュ動作を維持する第 2 のメモリブロックをさらに備える、請求項 6 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には混載 D R A M (Dynamic Random Access Memory) などに使用されるリフレッシュ制御回路に関する。

【0002】

【従来の技術】

D R A M には、記憶データを保持させるためにリフレッシュ動作が不可欠である。特許文献 1 (特開平 3 - 8 0 4 9 3 号公報) には、メモリリフレッシュ回路が開示されている。この文献では、各々のメモリバンクのリフレッシュ完了信号を次段のバンク制御回路に対するリフレッシュ要求信号とし、最終段のメモリバンクのリフレッシュ完了信号はアクノリッジ信号としてリフレッシュ要求回路に与えられることが記載されている。

【0003】

このようにすることにより、メモリバンクのリフレッシュ動作が重ならないようになり、メモリバンクを有するシステムに誤動作を引起こさないという効果が

ある。

【0004】

【特許文献1】

特開平3-80493号公報

【0005】

【発明が解決しようとする課題】

近年、DRAMと他の大規模ロジック回路やマイクロプロセッサ等とを混載する混載メモリの開発が行なわれている。この混載メモリにおいても、リフレッシュ動作が必要である。しかし、混載メモリは、汎用DRAMと異なり、利用されるさまざまなシステムに対応するために内蔵するメモリコアのメモリ容量が可変となっていることが特徴である。

【0006】

2つのセンスアンプ帯に挟まれたメモリセル領域と、そのメモリセル領域を制御する制御回路とを含んだ領域をサブブロックと呼ぶことにする。混載メモリは、必要とするメモリ容量に応じてサブブロックを必要な数だけ並べて配置することにより設計される。

【0007】

したがって、サブブロック数を変更するごとにサブブロック番地に対応するアドレスビットが変更となるので、リフレッシュアドレスカウンタのビット数を変更する必要があった。また、サブブロック数やワード線の総数が2の累乗とはならないメモリ容量に対応させるときには、リフレッシュアドレスカウンタにさらに複雑な変更が必要であった。

【0008】

この発明の目的は、メモリ容量の設計変更が容易である構成を有する半導体記憶装置を提供することである。

【0009】

【課題を解決するための手段】

この発明のある局面に従う半導体記憶装置は、相互に独立して行の活性化が可能な複数のメモリバンクを備える。Nを2以上の自然数、Mを2以上N-1以下



の自然数とすると、複数のメモリバンクのうちの第1のメモリバンクは、第1～第Nのサブメモリブロックを含む。第1～第Nのサブメモリブロックのうちの第Mのサブメモリブロックは、行列状に配列される複数のメモリセルを含む第1のメモリセルアレイと、リフレッシュモードにおいて、第M-1のサブメモリブロックから受ける第1のリフレッシュ完了信号に応じてメモリセルアレイの行の順次選択動作の開始を行ない、行の順次選択動作が終了すると第M+1のサブメモリブロックに対してリフレッシュ開始の指示を行なう第1のローカル制御回路とを含む。第1のメモリバンクは、第1～第Nのサブメモリブロックの隣接する2つに各々が共有される複数のセンスアンプ帯をさらに含む。

#### 【0010】

この発明の他の局面に従う半導体記憶装置は、第1のメモリブロックを備える。第1のメモリブロックは、リフレッシュモードにおいて循環してリフレッシュが行なわれる複数のサブメモリブロックを含む。複数のサブメモリブロックの各々は、行列状に配列される複数のメモリセルを含むメモリセルアレイと、各複数のサブメモリブロックにおいてリフレッシュが循環する順位が1つ前である前段サブメモリブロックでのリフレッシュ動作が完了したことに応じてメモリセルアレイの行の順次選択動作を行なうローカル制御回路とを含む。各複数のメモリブロックでのリフレッシュサイクル期間は、そのメモリブロックに含まれるサブメモリブロックの数に応じて決定される。

#### 【0011】

##### 【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

#### 【0012】

##### 【実施の形態1】

図1は、本発明の実施の形態の半導体記憶装置の構成を示したブロック図である。

#### 【0013】

図1を参照して、2バンク構成の混載メモリコア1について説明する。メモリ

コア1は、中央制御回路2と、データパス回路4、6と、メモリバンクBANK 0、BANK 1とを含む。データパス回路4、6は、読出および書込時のデータ制御を行なう回路である。

【0014】

各メモリバンクは、8個のサブブロックを含む。具体的には、バンクBANK 0は、サブブロックSBA0～SBA3、SBB0～SBB3を含む。また、メモリバンクBANK 1は、サブブロックSBC0～SBC3、SBD0～SBD3を含む。サブブロックSBA0～SBA3は順に並んで配置される。サブブロックSBB0～SBB3は順に並んで配置される。サブブロックSBC0～SBC3は順に並んで配置される。サブブロックSBD0～SBD3は順に並んで配置される。

【0015】

各々のサブブロックは、1つのローカルロウ制御回路8と、その両脇に配置される2つのメモリセルアレイMCAとを含む。メモリセルアレイMCAと隣のサブブロックに含まれるメモリセルアレイの間には、センスアンプ帯SABが配置されている。言い換えれば、サブブロックとは、多分割された1バンク分のメモリアレイにおいて、2つのセンスアンプ帯に挟まれた部分を意味する。

【0016】

たとえば、リフレッシュサイクルが2048であり、サブブロックのワード線の数が512である構成の場合には、本発明では、各サブブロックのリフレッシュの完了を示すリフレッシュ完了信号が4つのサブブロック単位でループした構成となる。

【0017】

つまりサブブロックSBA0～SBA3が1つのグループを形成し、このグループ内でリフレッシュ完了信号REF\_ENDが順に転送されていく。同様にサブブロックSBB0～SBB3は1つのグループを形成し、このグループ内でループが形成され対応するリフレッシュ完了信号が順に転送される。

【0018】

またサブブロックSBC0～SBC3が1つのグループを形成し、このグルー

ブ内で対応するリフレッシュ完了信号が順に転送されていく。同様にサブブロック SBD0～SBD3 は1つのグループを形成し、このグループ内でループが形成され対応するリフレッシュ完了信号が順に転送される。

#### 【0019】

つまり、サブブロック SBA0～SBA3, SBB0～SBB3, SBC0～SBC3, SBD0～SBD3 がそれぞれ4つのグループを形成する。各グループ内でリフレッシュ完了信号 REF\_END が次のサブブロックに順に転送されていく。このため、サブブロックに存在するワード線数相当のビット数のリフレッシュカウンタを用意しておけば、サブブロックの数を変更し、サブブロックのグループ構成を変更することでメモリ容量の設計変更が容易に可能となる。したがって、メモリ容量が容易に変更でき、かつリフレッシュ制御系の回路変更が容易に可能な混載メモリ向けのメモリコアが実現できる。

#### 【0020】

図2は、図1における中央制御回路の構成を示した回路図である。

図2を参照して、中央制御回路2は、外部コマンド入力回路12と、ロウ制御信号発生回路14と、リフレッシュアドレスカウンタ16と、アドレスセクタ18と、アドレスラッチ20とを含む。

#### 【0021】

外部コマンド入力回路12は、クロック信号CLKと、信号 ext\_AREF, ext\_ACT とを受けてクロック信号CLKA, 信号RAS, REF, REF\_CO, QA\_SEL を出力する。ロウ制御信号発生回路14は、信号RASを受けて信号RXT, RAL, SAEを含むロウ系の制御信号RCONTSIGを出力する。リフレッシュアドレスカウンタ16は、信号REF\_COを受けてリフレッシュアドレスQA<8:0>を出力する。アドレスセクタ18は、信号QA\_SELに応じて外部アドレスEXTAddとリフレッシュアドレスQA<8:0>のいずれか一方をアドレスラッチ20に出力する。

#### 【0022】

アドレスラッチ20は、クロック信号CLKAに応じてアドレスセクタ18から与えられるアドレスを取込みロウアドレス信号RowAddを出力する。

ロウアドレス信号  $Row\_Add$ 、信号  $REF$  およびロウ系制御信号  $RCONT$   $SIG$  は、アドレスバスや制御信号バスを介して、 $n-1$ 、 $n$ 、 $n+1$  番目のサブブロックにそれぞれ含まれるローカルロウ制御回路 22、24、26 に共通に与えられる。

#### 【0023】

ローカルロウ制御回路 22、24、26 の各々は、512 本のワード線  $WL$  を選択するためのロウデコーダを含んでいる。サブブロック内のワード線数が 512 本であるので、リフレッシュアドレスカウンタ 16 は、後に図 6 で説明するように 9 ビットのインクリメントカウンタで構成されている。

#### 【0024】

図 3 は、図 2 における外部コマンド入力回路の構成を示す回路図である。

図 3 を参照して、外部コマンド入力回路 12 は、信号  $ext\_ACT$ 、 $ext\_AREF$  およびクロック信号  $CLK$  に応じて、内部クロックであるクロック信号  $CLKA$  を出力する内部クロック発生回路 32 と、信号  $ext\_AREF$  をクロック信号  $CLK$  に応じて取込むフリップフロップ回路 34 と、信号  $ext\_ACT$  をクロック信号  $CLK$  に応じて取込み信号  $ACT$  を出力するフリップフロップ回路 38 とを含む。

#### 【0025】

外部コマンド入力回路 12 は、さらに、フリップフロップ回路 34 の出力を受けるラッチ回路 36 と、フリップフロップ回路 38 の出力を受けるラッチ回路 40 と、ラッチ回路 36 および 40 の出力を受けて信号  $RAS$  を出力する OR 回路 42 と、ラッチ回路 36 の出力する信号  $REF$  に応じてクロック信号  $REF\_CO$  を出力するクロック出力回路 44 とを含む。

#### 【0026】

内部クロック発生回路 32 は、信号  $ext\_ACT$ 、 $ext\_AREF$  を受ける OR 回路 46 と、クロック信号  $CLK$  をゲートに受け OR 回路 46 の出力を伝達するための P チャネル MOS トランジスタ 48 と、OR 回路 46 の出力を P チャネル MOS トランジスタ 48 を介して受けて反転するインバータ 50 と、インバータ 50 の出力を受けて反転しインバータ 50 の入力に与えるインバータ 52

と、インバータ50の出力を受けて反転するインバータ54と、クロック信号CLKとインバータ54の出力を受けてクロック信号CLKAを出力するAND回路56とを含む。

## 【0027】

フリップフロップ回路34は、クロック信号CLKをゲートに受けて信号ext\_\_AREFを取込むためのPチャネルMOSトランジスタ58と、PチャネルMOSトランジスタ58を介して信号ext\_\_AREFを受けて反転するインバータ60と、インバータ60の出力を受けて反転しインバータ60の入力ノードに与えるインバータ62と、インバータ60の出力を受けて反転するインバータ64とを含む。インバータ64は信号QA\_\_SELを出力する。

## 【0028】

フリップフロップ回路34は、さらに、クロック信号CLKをゲートに受けインバータ64の出力を伝達するためのNチャネルMOSトランジスタ66と、NチャネルMOSトランジスタ66を介してインバータ64の出力を受けて反転するインバータ68と、インバータ68の出力を受けて反転しインバータ68の入力ノードに与えるインバータ70と、インバータ68の出力を受けて反転するインバータ72とを含む。

## 【0029】

フリップフロップ回路38は、クロック信号CLKをゲートに受けて信号ext\_\_ACTを取込むためのPチャネルMOSトランジスタ82と、PチャネルMOSトランジスタ82を介して信号ext\_\_AREFを受けて反転するインバータ84と、インバータ84の出力を受けて反転しインバータ84の入力ノードに与えるインバータ86と、インバータ84の出力を受けて反転するインバータ88とを含む。

## 【0030】

フリップフロップ回路38は、さらに、クロック信号CLKをゲートに受けインバータ88の出力を伝達するためのNチャネルMOSトランジスタ90と、NチャネルMOSトランジスタ90を介してインバータ88の出力を受けて反転するインバータ92と、インバータ92の出力を受けて反転しインバータ92の入

カノードに与えるインバータ94と、インバータ92の出力を受けて反転するインバータ96とを含む。

【0031】

ラッチ回路36は、信号REFを遅延時間TPで遅延段DPと、遅延段DPの出力と信号RESETとを受けるNOR回路74と、NOR回路74の出力とインバータ72の出力とを受けるNAND回路76とを含む。

【0032】

ラッチ回路36は、さらに、NAND回路76の出力を一方の入力に受け、信号REFを出力するNAND回路78と、信号REFとNOR回路74の出力とを受けるNAND回路80とを含む。NAND回路80の出力はNAND回路78の他方の入力に与えられる。

【0033】

ラッチ回路40は、信号RESETと信号PRCとを受けるNOR回路100と、信号ACTを受けて反転するインバータ98と、インバータ98の出力を一方の入力に受けるNAND回路102と、NAND回路102の出力とNOR回路100の出力とを受けるNAND回路104とを含む。NAND回路104の出力はNAND回路102の他方の入力に与えられる。またNAND回路102の出力はOR回路42の一方の入力に与えられる。

【0034】

クロック出力回路44は、信号REFを受ける遅延段106と、遅延段106の出力を受けて反転するインバータ108と、インバータ108の出力と信号REFとを受けて信号REF\_COを出力するNAND回路110とを含む。信号REF\_COは、リフレッシュアドレスを発生するためのカウンタインクリメントのトリガクロックとして用いられる。

【0035】

図4は、図2のロウ制御信号発生回路14の構成を示した回路図である。

図4を参照して、ロウ制御信号発生回路14は、信号RASを受けて遅延時間TBで遅延する遅延段DBと、遅延段DBの出力と信号RASとを受けるNAND回路122と、AND回路122の出力を受けて遅延時間TAで遅延させる遅

延段DAと、遅延段DAの出力とNAND回路122の出力とを受けて信号RXTを出力するNAND回路124と、信号RXTを受けて遅延時間TCで遅延させる遅延段DCと、信号RXTと遅延段DCの出力とを受けるNAND回路126を含む。

## 【0036】

ロウ制御信号発生回路14は、さらに、NAND回路126の出力を受けて反転するインバータ128と、インバータ128の出力を遅延時間TDで遅延させる遅延段DDと、遅延段DDの出力とインバータ128の出力とを受けるNAND回路130と、NAND回路130の出力を遅延時間TEで遅延させる遅延段DEと、遅延段DEの出力とNAND回路130の出力とを受けるAND回路132と、AND回路132の出力を受けて反転し信号SAEを出力するインバータ136と、AND回路132の出力とNAND回路126の出力を受けて信号RALを出力するNAND回路134を含む。

## 【0037】

図5は、図4に示したロウ制御信号発生回路の動作を説明するための動作波形図である。

## 【0038】

図5を参照して、時刻t1において信号REFがLレベルからHレベルに立上がる。すると図3のOR回路42の入力の変化に応じて信号RASが立上がる。信号RASの立上がりから図4の遅延段DBの遅延時間TB後の時刻t2において信号RXTがLレベルからHレベルに立上がる。

## 【0039】

時刻t2から遅延段DCの遅延時間TC後の時刻t3において信号RALがLレベルからHレベルに立上がる。そして時刻t3から遅延段DDの遅延時間TD後の時刻t4において信号SAEがLレベルからHレベルに立上がる。

## 【0040】

時刻t1に立上がった信号REFは、図3の遅延段DPの遅延時間TP後の時刻t5においてHレベルからLレベルに立下がる。そして時刻t6において信号RASがHレベルからLレベルに立下がると、時刻t6から遅延段DAの遅延時

間後である時刻  $t_7$  において信号  $RXT$  が H レベルから L レベルに立下がる。そして時刻  $t_7$  からさらに遅延段 DE の遅延時間 TE 後の時刻  $t_8$  においては、信号  $RAL$  および  $SAE$  が H レベルから L レベルに立下がる。

#### 【 0 0 4 1 】

図 6 は、図 2 におけるリフレッシュアドレスカウンタの構成を示した回路図である。

#### 【 0 0 4 2 】

図 6 を参照して、リフレッシュアドレスカウンタ 16 は、信号  $RESET$  によって初期化されクロック信号  $REF\_CO$  に応じて信号  $QA<0>\sim QA<8>$  をインクリメントする 9 ビットのインクリメントカウンタである。リフレッシュアドレスカウンタ 16 は、各ビット  $QA<0>\sim QA<8>$  にそれぞれ対応するカウンタ段 140 $\sim$ 148 を含む。

#### 【 0 0 4 3 】

第 1 のカウンタ段 140 は、リセット信号  $RESET$  が L レベルの場合にリセットされ信号  $REF\_CO$  をクロック入力として受ける D フリップフロップ回路 152 と、D フリップフロップ回路 152 の反転 Q 出力を受けて反転し信号  $QA<0>$  を出力するインバータ 154 と、D フリップフロップ回路 152 の反転 Q 出力から出力される信号  $ZQA<0>$  を受ける直列に接続される 2 段のインバータ 156, 158 とを含む。インバータ 158 の出力は D フリップフロップ回路 152 の D 入力に与えられる。

#### 【 0 0 4 4 】

カウンタ段 141 $\sim$ 148 の構成は、カウンタ段 140 と同様であるので、説明は繰返さない。ただし、カウンタ段 140 は、D フリップフロップ回路のクロック入力として信号  $REF\_CO$  を受けていた。これに対して、カウンタ段 141 $\sim$ 148 においては D フリップフロップ回路のクロック入力には前段のカウンタ段の D フリップフロップ回路の反転 Q 出力が与えられる。

#### 【 0 0 4 5 】

図 7 は、図 1 におけるローカルロウ制御回路、センスアンプ帯およびメモリセルアレイの構成を説明するための回路図である。



【0046】

図7を参照して、メモリセルアレイMCAは、メモリセルMC00～MC33を含む。

【0047】

メモリセルMC00は、ワード線WL<0>とビット線BL0とに接続され、メモリセルMC01は、ワード線WL<0>とビット線BL1とに接続される。メモリセルMC02は、ワード線WL<0>とビット線BL2とに接続され、メモリセルMC03は、ワード線WL<0>とビット線BL3とに接続される。

【0048】

メモリセルMC10は、ワード線WL<1>とビット線／BL0とに接続され、メモリセルMC11は、ワード線WL<1>とビット線／BL1とに接続される。メモリセルMC12は、ワード線WL<1>とビット線／BL2とに接続され、メモリセルMC13は、ワード線WL<1>とビット線／BL3とに接続される。

【0049】

メモリセルMC20は、ワード線WL<510>とビット線BL0とに接続され、メモリセルMC21は、ワード線WL<510>とビット線BL1とに接続される。メモリセルMC22は、ワード線WL<510>とビット線BL2とに接続され、メモリセルMC23は、ワード線WL<510>とビット線BL3とに接続される。

【0050】

メモリセルMC30は、ワード線WL<511>とビット線／BL0とに接続され、メモリセルMC31は、ワード線WL<511>とビット線／BL1とに接続される。メモリセルMC32は、ワード線WL<511>とビット線／BL2とに接続され、メモリセルMC33は、ワード線WL<511>とビット線／BL3とに接続される。

【0051】

各メモリセルは対応するビット線とセルプレートとの間に直列に接続されるアクセストランジスタと、メモリキャパシタとを含む。アクセストランジスタのゲ

ートは対応するワード線に接続される。

【0052】

ローカルロウ制御回路8は、センスアンプ制御とメモリセルの行選択とを行なう制御部160と、シェアードセンスアンプ帯とビット線との分離制御を行なうBLI発生回路162と、BLI発生回路162の出力に応じてビット線とセンスアンプとを分離するゲートの制御を行なうBLIドライバ166, 172とを含む。

【0053】

ローカルロウ制御回路8は、さらに、ビット線のイコライズの制御を行なうBLEQ発生回路164と、BLEQ発生回路164の出力に応じてビット線のイコライズ信号を駆動するBLEQドライバ168, 170と、ワード線WL<0>~WL<511>の駆動を行なうWLドライバ174とを含む。

【0054】

制御部160は、センスアンプ制御信号である信号SOP, SONを出力するセンスアンプ制御回路176と、WLドライバ174の活性化制御を行なうロウ選択回路178とを含む。

【0055】

センスアンプ帯SAB1は、ビット線BL0, /BL0のイコライズを行なうイコライズ回路EQ0と、ビット線BL0とビット線B0との間に接続されゲートにBLIドライバ166の出力を受けるNチャネルMOSトランジスタ201と、ビット線/BL0とビット線/B0との間に接続されゲートにBLIドライバ166の出力を受けるNチャネルMOSトランジスタ202とを含む。

【0056】

センスアンプ帯SAB1は、さらに、ビット線B0とビット線/B0との間に生ずる電位差を信号SOP, SONに応じて増幅するセンスアンプ180と、センスアンプ180で増幅した信号を図示しないIO線に出力するためのIOゲート190とを含む。

【0057】

センスアンプ帯SAB1は、さらに、ビット線BL2, /BL2のイコライズ

を行なうイコライズ回路EQ2と、ビット線BL2とビット線B2との間に接続されゲートにBLIドライバ166の出力を受けるNチャネルMOSトランジスタ205と、ビット線/B L2とビット線/B2との間に接続されゲートにBLIドライバ166の出力を受けるNチャネルMOSトランジスタ206とを含む。

## 【0058】

センスアンプ帯SAB1は、さらに、ビット線B2とビット線/B2との間に生ずる電位差を信号SOP, SONに応じて増幅するセンスアンプ182と、センスアンプ182で増幅した信号を図示しないIO線に出力するためのIOゲート192とを含む。

## 【0059】

センスアンプ帯SAB2は、ビット線BL1, /BL1のイコライズを行なうイコライズ回路EQ1と、ビット線BL1とビット線B1との間に接続されゲートにBLIドライバ172の出力を受けるNチャネルMOSトランジスタ203と、ビット線/B L1とビット線/B1との間に接続されゲートにBLIドライバ172の出力を受けるNチャネルMOSトランジスタ204とを含む。

## 【0060】

センスアンプ帯SAB2は、さらに、ビット線B1とビット線/B1との間に生ずる電位差を信号SOP, SONに応じて増幅するセンスアンプ181と、センスアンプ181で増幅した信号を図示しないIO線に出力するためのIOゲート191とを含む。

## 【0061】

センスアンプ帯SAB2は、さらに、ビット線BL3, /BL3のイコライズを行なうイコライズ回路EQ3と、ビット線BL3とビット線B3との間に接続されゲートにBLIドライバ172の出力を受けるNチャネルMOSトランジスタ207と、ビット線/B L3とビット線/B3との間に接続されゲートにBLIドライバ172の出力を受けるNチャネルMOSトランジスタ208とを含む。

## 【0062】

センスアンプ帯SAB2は、さらに、ビット線B3とビット線/B3との間に生ずる電位差を信号SOP, SONに応じて増幅するセンスアンプ183と、センスアンプ183で増幅した信号を図示しないIO線に出力するためのIOゲート193とを含む。

## 【0063】

EQ0、ビット線BL0とビット線/BL0との間に接続されBLEQドライバ168の出力をゲートに受けるNチャネルMOSトランジスタ212と、BLEQドライバ168の出力に応じて導通しビット線BL0を電位VBLに結合するNチャネルMOSトランジスタ210と、BLEQドライバ168の出力に応じてビット線/BL0を電位VBLに結合するNチャネルMOSトランジスタ211とを含む。イコライズ回路EQ1～EQ3の構成もイコライズ回路EQ0と同様であるので説明は繰返さない。

## 【0064】

図8は、図7におけるセンスアンプの構成を示した回路図である。

図8を参照して、センスアンプ180は、電源ノードとノードN1との間に接続されゲートに信号SOPを受けるPチャネルMOSトランジスタ232と、ノードN1とビット線B0との間に接続されゲートがビット線/B0に接続されるPチャネルMOSトランジスタ234と、ノードN1とビット線/B0との間に接続されゲートがビット線B0に接続されるPチャネルMOSトランジスタ236と、ノードN2とビット線B0との間に接続されゲートがビット線/B0に接続されるNチャネルMOSトランジスタ240と、ノードN2とビット線/B0との間に接続されゲートがビット線B0に接続されるNチャネルMOSトランジスタ242と、ノードN2と接地ノードとの間に接続されゲートに信号SONを受けるNチャネルMOSトランジスタ238とを含む。

## 【0065】

なお図7のセンスアンプ181～183は、センスアンプ180と同様な構成を有するため説明は繰返さない。

## 【0066】

図9は、図7におけるIOゲートの構成を示した回路図である。

図9にはI Oゲート190～196の構成が示される。I Oゲート190, 192, 194, 196はそれぞれビット線B0, B2, B4, B6に対応して設けられる。

【0067】

I Oゲート190は、ビット線B0とI O線I Oとの間に接続されゲートにコラム選択信号CSL<0>を受けるNチャネルMOSトランジスタ250と、ビット線/B0とI O線/I Oとの間に接続されゲートにコラム選択信号CSL<0>を受けるNチャネルMOSトランジスタ251とを含む。

【0068】

I Oゲート192は、ビット線B2とI O線I Oとの間に接続されゲートにコラム選択信号CSL<1>を受けるNチャネルMOSトランジスタ252と、ビット線/B2とI O線/I Oとの間に接続されゲートにコラム選択信号CSL<1>を受けるNチャネルMOSトランジスタ253とを含む。

【0069】

I Oゲート194は、ビット線B4とI O線I Oとの間に接続されゲートにコラム選択信号CSL<2>を受けるNチャネルMOSトランジスタ254と、ビット線/B4とI O線/I Oとの間に接続されゲートにコラム選択信号CSL<2>を受けるNチャネルMOSトランジスタ255とを含む。

【0070】

I Oゲート196は、ビット線B6とI O線I Oとの間に接続されゲートにコラム選択信号CSL<3>を受けるNチャネルMOSトランジスタ256と、ビット線/B6とI O線/I Oとの間に接続されゲートにコラム選択信号CSL<3>を受けるNチャネルMOSトランジスタ257とを含む。

【0071】

図10は、図7における制御部の構成を示す回路図である。

図10を参照して、制御部160は、センスアンプ制御回路176と、ロウ選択回路178とを含む。

【0072】

ロウ選択回路178は、REF\_\_END発生回路260と、REF\_\_STAR

T発生回路262と、ラッチ回路264、266と、WLデコーダ268とを含む。

#### 【0073】

REF\_\_END発生回路260は、ロウアドレス信号Row\_Add<8:0>をデコードするデコード回路270と、デコード回路270の出力と信号REF\_\_START<n>とを受けるAND回路272と、AND回路272の出力を信号REFに応じて伝達するNチャネルMOSトランジスタ274と、NチャネルMOSトランジスタ274を介してAND回路272の出力を受けて反転するインバータ276と、インバータ276の出力と信号RESETとを受けるNOR回路278とを含む。NOR回路278の出力はインバータ276の入力ノードに接続される。

#### 【0074】

REF\_\_END発生回路260は、さらに、インバータ276の出力を受けて反転するインバータ280と、インバータ280の出力を信号REFに応じて伝達するPチャネルMOSトランジスタ282と、PチャネルMOSトランジスタ282を介してインバータ280の出力を受けて反転するインバータ284と、インバータ284の出力を受けて反転しインバータ284の入力ノードに与えるインバータ286と、インバータ284の出力を受けて反転し信号REF\_\_END<n>を出力するインバータ288とを含む。

#### 【0075】

REF\_\_START発生回路262は、接地電位と信号RESETのうちから信号RESETを出力するように設定されたアルミスイッチ292と、アルミスイッチ292の出力を第1の入力ノードに受け信号REF\_\_END<n>を第2の入力ノードに受ける3入力のNOR回路294と、信号REF\_\_END<n-1>に応じて信号REF\_\_END<n>をNOR回路294の第3の入力ノードに与えるNチャネルMOSトランジスタ290とを含む。

#### 【0076】

REF\_\_START発生回路262は、さらに、NOR回路294の出力を受けるインバータ300と、インバータ300の出力を受けて反転し信号REF\_\_

START<n>を出力するインバータ302と、接地電位と信号RESETのうち接地電位を出力するように設定されたアルミスイッチ296と、アルミスイッチ296の出力とNOR回路294の出力とを受けその出力がNOR回路294の第3の入力ノードに接続されるNOR回路298とを含む。

#### 【0077】

ラッチ回路264は、信号REFと信号REF\_START<n>とを受けるAND回路304と、AND回路304の出力と信号Block\_SELとを受けるOR回路306と、信号RALに応じてOR回路306の出力を伝達するNチャネルMOSトランジスタ308と、NチャネルMOSトランジスタ308を介してOR回路306の出力を受けて反転するインバータ310と、インバータ310の出力を受けて反転しインバータ310の入力ノードに与えるインバータ312と、インバータ310の出力を受けて反転するインバータ314とを含む。

#### 【0078】

ラッチ回路266は、信号RALとインバータ314の出力とを受けるAND回路316と、ロウアドレス信号Row\_Add<8:0>をAND回路316の出力に応じて伝達するNチャネルMOSトランジスタ318と、NチャネルMOSトランジスタ318を介してロウアドレス信号Row\_Add<8:0>を受けて反転するインバータ320と、インバータ320の出力を受けて反転しインバータ320の入力ノードに与えるインバータ322と、インバータ320の出力を受けて反転するインバータ324と、インバータ314の出力と信号SAEとを受けるAND回路317とを含む。インバータ324の出力とAND回路317の出力とはWLデコーダ268に与えられる。WLデコーダ268は与えられた信号に基づいてワード線WL<0>~WL<511>のいずれかを活性化させる。

#### 【0079】

なお、図面が複雑になるのを避けるため、ラッチ回路266は、ロウアドレス信号Row\_Add<8:0>のうち1ビット分に対応する構成が代表して示されている。

## 【0080】

センスアンプ制御回路176は、信号RXTとインバータ314の出力とを受けるAND回路326と、AND回路326の出力を受けて反転し信号SOPを出力するインバータ328と、信号SOPを受けて反転し信号SONを出力するインバータ330とを含む。

## 【0081】

図11は、本発明の半導体記憶装置のリフレッシュ動作の説明をするための動作波形図である。

## 【0082】

図11においては、あるサブブロックのリフレッシュ開始信号REF\_\_START<n>が活性化されており、そのサブブロックの最終のワード線WL<511>の活性化によるリフレッシュが終了した後次のサブブロックのリフレッシュ開始信号REF\_\_START<n+1>が活性化され、次のサブブロックにおける第1番目のワード線WL<0>の活性化が行なわれる様子が示されている。

## 【0083】

図2、図11を参照して、時刻t1において外部からリフレッシュを指示する信号、たとえばオートリフレッシュ信号ext\_\_AREFを受取ると、図2の中央制御回路2においては、外部コマンド入力回路12がリフレッシュアドレスを選択する信号QA\_\_SELと、リフレッシュ制御信号REFと、アドレス入力用クロック信号CLKAとを発生し、ロウ制御信号発生回路14がロウ系制御信号RCONTSIGを発生する。

## 【0084】

信号QA\_\_SELに応じてアドレスセクタ18はリフレッシュアドレスQA<8:0>をアドレスラッチ20に送り、アドレスラッチ20はクロック信号CLKAに応じてリフレッシュアドレスQA<8:0>をロウアドレスRow\_\_Add<8:0>として保持する。このロウアドレスRow\_\_Add<8:0>は、各サブブロックのローカルロウ制御回路22, 24, 26にアドレスバスを経由して伝達される。ロウアドレスとしてリフレッシュアドレスが転送されるすべてのサブブロックのうち、リフレッシュ開始信号REF\_\_STARTが活性化さ



れているサブブロックのみがロウ系制御信号を取込みリフレッシュ動作を行なう。

【0085】

リフレッシュ時のワード線およびセンスアンプの活性化タイミングは、通常に行活性時と同様に、コマンドが入力されたクロックをトリガとして発生する。

【0086】

ただし、時刻  $t_2$  におけるリフレッシュ時のプリチャージタイミングは、図3、図5で説明したように内部の遅延段DPの遅延時間によって決定される。図11に示した例では、信号REFの立上がりにより行活性化コマンドACTが入力された場合と同様の動作が始まり、その後内部遅延段DPによって定まる時間後に信号REFが立下がることによってプリチャージ動作が始まる。

【0087】

また、リフレッシュアドレスカウンタ16は、次のリフレッシュコマンドに備えてリフレッシュアドレスをカウントアップする。カウントアップするタイミングはクロック信号CLKAによりアドレスをラッチした後でよい。図11の例では、リフレッシュのプリチャージのタイミングすなわち信号REFの立上がりに応じてリフレッシュアドレスQA<8:0>がカウントアップされる（時刻  $t_2$ ）。このとき、リフレッシュ開始信号REF\_STARTは、サブブロックから次のサブブロックへと転送される。たとえば、図2において、n番目のサブブロック24のリフレッシュが完了したことを示すリフレッシュ完了信号REF\_END<n-1>によってリフレッシュ開始信号REF\_START<n>が活性化される。活性化されたリフレッシュ開始信号REF\_START<n>は、n番目のサブブロック24がリフレッシュが完了したときに発生するリフレッシュ完了信号REF\_END<n>に応じて図10のREF\_START発生回路262においてリセットされる。

【0088】

再び図10を参照して、具体的にリフレッシュ開始信号の伝達について説明する。

【0089】

図 1 0 において、電源立上げ時および外部からのリセット信号の入力により信号 R E S E T が活性化され、リフレッシュ開始信号 R E F \_ S T A R T < n > とリフレッシュ完了信号 R E F \_ E N D < n > が “ L ” 状態にリセットされる。

#### 【 0 0 9 0 】

その後、 $n - 1$  番目のサブブロック 2 2 からのリフレッシュ完了信号 R E F \_ E N D <  $n - 1$  > が H レベルに活性化されると、リフレッシュ開始信号 R E F \_ S T A R T <  $n - 1$  > が H レベルに活性化される。そして、リフレッシュ開始信号 R E F \_ S T A R T <  $n$  > が H レベルである期間に信号 R E F が活性化されると、 $n$  番目のサブブロック 2 4 がロウ系制御信号 R C N T S I G を取込みリフレッシュ動作を行なう。

#### 【 0 0 9 1 】

サブブロック内の最終のワード線がリフレッシュされたとき、リフレッシュ完了信号 R E F \_ E N D <  $n$  > が H レベルに活性化される。図 1 0 で示した回路例では、デコード回路 2 7 0 によってリフレッシュのロウアドレス R o w \_ A d d < 8 : 0 > がすべて H レベルになったことが検出され、その結果が信号 R E F の立下がりに応じて R E F \_ E N D 発生回路 2 6 0 に取込まれる。リフレッシュ完了信号 R E F \_ E N D <  $n$  > は、 $n + 1$  番目のサブブロック 2 6 へ入力され、リフレッシュ開始信号 R E F \_ S T A R T <  $n$  > を L レベルにリセットする。つまり、サブブロック 2 4 内の最終のワード線がリフレッシュされた後での信号 R E F の活性化時には、 $n + 1$  番目のサブブロックのリフレッシュ動作が可能となり、サブブロック 2 4 のリフレッシュはもはや行なわれない。

#### 【 0 0 9 2 】

図 1 0 に示した回路では、リフレッシュ完了信号 R E F \_ E N D <  $n$  > は、信号 R E F の立下がりによって H レベルに活性化され、信号 R E F の次の立下がりによって L レベルにリセットされる。しかしリフレッシュ完了信号 R E F \_ E N D <  $n$  > は、ワンショットパルス信号としてもよい。この場合は、このワンショットパルスに応じて次のサブブロックのリフレッシュ開始信号を発生する。

#### 【 0 0 9 3 】

なお、図 1 0 における信号 B l o c k \_ S E L は、A C T コマンドに応じた行

活性動作時に、外部ロウアドレスをデコードすることによって発生される。この信号Block\_SELによってサブブロックの選択が行なわれる。

【0094】

図12は、本発明が適用される混載用のメモリコアの例を説明するための図である。

【0095】

図12を参照して、タイプAはバンド幅が広い場合に搭載される例であり、タイプBは高速動作が要求される用途向けに搭載される例であり、タイプCは消費電力が低電力であることが要求される場合に搭載される例である。このように本発明の半導体記憶装置は、いろいろな用途をもつシステムLSIを実現するためにメモリ容量を容易に設計変更することが可能となっている。これは必要とするメモリ容量に応じて、サブブロックを必要な数だけ並べることによって実現される。このときサブブロック数を変更するごとに、従来においてはリフレッシュアドレスカウンタのビット数を変更して対応していたが、本発明においてはリフレッシュ完了信号をサブブロックから次のサブブロックに受渡すことで、リフレッシュアドレスカウンタのビット数変更は不要である。

【0096】

図13は、サブブロックのワード線の数に対応するリフレッシュカウンタのみで全空間を循環してリフレッシュする動作を説明するための図である。

【0097】

図13を参照して、第1番目のサブブロックSubRow<0>に設けられるローカルロウ制御回路340.0から最終のサブブロックSubRow<max>に設けられるローカルロウ制御回路340.nまで、順番にリフレッシュ完了信号REF\_ENDが転送されていく。そして最終のローカルロウ制御回路340.nから出力されるリフレッシュ完了信号REF\_END<max>は、最初のローカルロウ制御回路340.0に入力される。したがって、すべてのサブブロックでリフレッシュ完了信号を循環させるように配線を接続すればよい。これにより全メモリ空間を循環してリフレッシュをさせることができる。

【0098】

また、電源立上げ時またはリセット信号の入力時においては、第1番目のサブブロックSubRow<0>のリフレッシュ開始信号REF\_START<0>が活性状態にセットされ、他のサブブロックのリフレッシュ開始信号は非活性状態にリセットされる。

## 【0099】

具体的には、第1番目のサブブロックでは、図10のアルミスイッチ292が接地電位GNDを出力するように接続変更され、アルミスイッチ296が信号RESETを出力するように接続変更される。その他のサブブロックにおいては、図10に示したとおりアルミスイッチ292は信号RESETを出力するように接続され、アルミスイッチ296は接地電位を出力するように接続される。

## 【0100】

特許文献1（特開平3-80493号公報）に開示された先行技術では、複数のメモリバンクを順次にリフレッシュさせるリフレッシュ制御において、バンクのリフレッシュ完了信号を順次にバンクへ転送していき、複数のメモリバンクが同時にリフレッシュさせないようにし、システムの大電流を抑制することを目的としていた。これに対し本発明は、DRAMチップまたは混載メモリコアの構成要素となる複数のサブブロックの制御回路において、リフレッシュ完了信号を順次に転送する。これによりサブブロックに含まれるワード線の数に対応するビット数のリフレッシュアドレスカウンタによりDRAMチップまたは混載メモリコアの全空間のリフレッシュを実現する。つまり、上述の先行技術は、複数のバンクが同時にリフレッシュしないようにする技術であり、本発明の主たる目的である少ないビット数で構成されたリフレッシュアドレスカウンタで、メモリの全空間をリフレッシュさせるものではない。

## 【0101】

具体的には、従来のリフレッシュカウンタは、DRAMチップまたは混載メモリコアの必要とするリフレッシュサイクルに対応したビット数で構成されたリフレッシュカウンタである。たとえば混載メモリコアが2048リフレッシュサイクル（リフレッシュ時間内に、2048回のリフレッシュを必要とするメモリコア）だとすると、チップ内部に11bipのリフレッシュカウンタが必要となる

。上述の先行技術においても、従来と同様に、バンク内のリフレッシュにおいてはリフレッシュサイクル分のビット数を有するリフレッシュアドレスカウンタが必要である。

#### 【0102】

再び図1を参照して、具体的にリフレッシュ動作を説明する。混載メモリアに与えられる外部リフレッシュコマンドにより、まず最初にサブブロックSBA0, SBB0, SBC0, SBD0のブロックにおいて同時にリフレッシュ動作が行なわれる。外部から512回のリフレッシュコマンドが入力されることにより、サブブロックSBA0, SBB0, SBC0, SBD0のリフレッシュが完了すると、次のリフレッシュコマンドによりサブブロックSBA1, SBB1, SBC1, SBD1のリフレッシュが開始される。このように順次リフレッシュが循環し、サブブロックSBA3, SBB3, SBC3, SBD3へとリフレッシュ動作が進捗し、外部から合計2048回のリフレッシュコマンドが入力されると、サブブロックSBA3, SBB3, SBC3, SBD3のリフレッシュ動作が完了する。すると、4つのリフレッシュ完了信号がそれぞれサブブロックSBA0, SBB0, SBC0, SBD0に対応するローカルロウ制御回路8に伝達され、次のリフレッシュコマンドが入力されることにより再びサブブロックSBA0, SBB0, SBC0, SBD0のリフレッシュが開始される。

#### 【0103】

したがって、本発明のリフレッシュ制御では、サブブロック内のワード線の本数に対応するだけのカウンタで十分となる。すなわち、たとえば2048リフレッシュサイクルのメモリアであっても、リフレッシュカウンタは8bitのカウンタ回路で構成することが可能となる。

#### 【0104】

以上説明したように、本発明によりサブブロックのワード線数に応じたカウンタのみでメモリ全空間のリフレッシュが可能となる。リフレッシュカウンタ回路を変更することなく、あらゆるサブブロック数のメモリアのリフレッシュ動作が可能となるので、容量を変更するためにさまざまなサブブロック数とすることが要求される混載メモリにおいて最適な回路である。

## 【0105】

また、リフレッシュカウンタがサブブロックのワード線数に対応するビット数のアドレスを発生すればよいので、ビット数を減らすことができカウンタが占める回路面積を削減することができる。

## 【0106】

## 〔実施の形態2〕

図13で説明したように、リフレッシュ完了信号は、次にリフレッシュされるべきサブブロックへと順番にシフトしていく。最終サブブロックのリフレッシュ完了信号は第1番目のサブブロックに入力されるように信号伝達経路のループが形成されている。このループに含まれるサブブロックの数を変更すれば、リフレッシュサイクルを容易に変更することが可能となる。

## 【0107】

図14は、1.5Kリフレッシュサイクルを実現するループを説明するための図である。

## 【0108】

図14を参照して、ローカルロウ制御回路341～346はそれぞれ異なるサブブロック内に設けられる。各サブブロックは、512本のワード線を含む。ローカルロウ制御回路341～343の3つによってリフレッシュ完了信号が循環するループが形成されている。またローカルロウ制御回路344～346の3つによってリフレッシュ完了信号の循環するループが形成されている。

## 【0109】

リフレッシュカウンタのビット数の変更による回路修正では困難であった2の累乗でないリフレッシュサイクルを、本発明を適用した半導体記憶装置では容易に実現することができる。具体的にはリフレッシュ制御信号をループさせるサブブロックの数を変化させることによりこれが実現できる。つまり、512本のワード線で構成されたサブブロックを3つ含むようにリフレッシュ制御信号を循環させるループを形成すると、1536(=1.5K)リフレッシュサイクルが実現できる。

## 【0110】

図 1 5 は、他のリフレッシュサイクルを実現するためのループ構成例を示した図である。

【 0 1 1 1 】

図 1 5 を参照して、ローカルロウ制御回路 3 5 1 ～ 3 5 4 の 4 つでリフレッシュ完了信号が循環し、ローカルロウ制御回路 3 5 5 ～ 3 5 8 の 4 つにおいてリフレッシュ完了信号が循環する。このようにすることにより、2 K リフレッシュサイクルを実現することができる。同様に数を増やしてループ内に 5 つのローカルロウ制御回路を含むようにループを形成すれば、2 5 6 0 (= 2. 5 K) リフレッシュサイクルを実現することができる。本発明では、従来には実現できなかったこのような多彩なリフレッシュ動作を実現することが可能となる。

【 0 1 1 2 】

図 1 6 は、図 1 4 におけるアルミスイッチ A L S W A の説明をするための図である。

【 0 1 1 3 】

図 1 6 を参照して、サブブロック間でのリフレッシュ制御信号を次のサブブロックにシフトさせるか、それとも最初のサブブロックへループさせるかの切換はアルミスイッチで可能である。アルミスイッチとは、アルミマスクのみを変更することにより信号伝達経路を容易に変更できるように構成された部分を示す。アルミスイッチ A L S W A においては、サブブロック 3 4 2 からサブブロック 3 4 3 へと信号が R E F \_ E N D < n - 1 > が伝達されるようにアルミ配線 L 1 が形成される。また信号を第 1 番目のサブブロックに戻す経路についてはアルミ配線 L 2 が形成される。

【 0 1 1 4 】

図 1 7 は、図 1 4 におけるアルミスイッチ A L S W B について説明するための図である。

【 0 1 1 5 】

図 1 7 を参照して、アルミスイッチ A L S W B は、第 1 のループを形成するサブブロックと第 2 のループを形成するサブブロックの境界部分に配置される。第 1 のループにおいては、ローカルロウ制御回路 3 4 3 から出力される信号 R E F

—END<n>がアルミ配線L4によって、信号を第1番目のサブブロックのローカルロウ制御回路に伝達する経路に接続される。

【0116】

第2のループにおいてはローカルロウ制御回路344にアルミ配線L3が形成され、第2のループの最終段のサブブロックから与えられるリフレッシュ完了信号がローカルロウ制御回路344に入力される。このように、切換はアルミスイッチで可能であり、回路修正をしていた従来と比較すると容易にかつ短時間で修正が行なえる。さらに回路修正に伴うレイアウトマスク数も減らすことができるので、開発コストが削減できる。

【0117】

〔実施の形態3〕

実施の形態1、2で説明したことに加えてリフレッシュ完了信号がループしている複数のサブブロックのグループのうち、特定のサブブロックのグループにおいて、リフレッシュ開始信号を停止させることにより部分リフレッシュを実現することができる。

【0118】

図18は、部分リフレッシュ制御を概念的に説明するための図である。

図18を参照して、ローカルロウ制御回路361～364においては、リフレッシュ完了信号が順次伝達されて継続してリフレッシュが行なわれる。一方、ローカルロウ制御回路365～368においては、リフレッシュストップ信号STOP\_REFが非活性化されている場合にはリフレッシュが循環して行なわれる。しかし、リフレッシュストップ信号STOP\_REFが活性化されるとローカルロウ制御回路365は、リフレッシュ完了信号を次段に伝達しなくなり、リフレッシュ動作を停止させることができる。リフレッシュ完了信号を伝達するループのうちのひとつのローカルロウ制御回路365内にこのようなゲート回路369を設けることにより部分リフレッシュが実現できる。

【0119】

図19は、部分リフレッシュを実現するための具体的な回路を説明するための回路図である。



## 【0120】

図10におけるREF\_\_START発生回路262に代えて図19に示すREF\_\_START発生回路262Aが図18におけるローカルロウ制御回路365に設けられる。

## 【0121】

REF\_\_START発生回路262Aは、図10におけるREF\_\_START発生回路262の構成に加えてOR回路370を含む。また、REF\_\_START発生回路262Aは、アルミスイッチ292に代えて接地電位GNDを出力するように設定されたアルミスイッチ292Aを含み、アルミスイッチ296に代えてリセット信号RESETを出力するように設定されたアルミスイッチ296Aを含む。

## 【0122】

OR回路370は、リフレッシュストップ信号STOP\_\_REFと図18のローカルロウ制御回路368から与えられるリフレッシュ完了信号REF\_\_END<368>とを受ける。OR回路370の出力は、NAND回路294の第2の入力に与えられる。またNAND回路294の第3の入力はNチャネルMOSトランジスタ290を介してOR回路370の出力を受ける。OR回路370、NチャネルMOSトランジスタ290、アルミスイッチ292AおよびNAND回路294が図18のゲート回路369に該当する。

## 【0123】

図19に示すように、リフレッシュストップ信号STOP\_\_REFがHレベルになると、リフレッシュ開始信号REF\_\_START<365>はLレベルに固定される。

## 【0124】

つまり、ゲート回路369は、サブメモリブロック368からのリフレッシュ完了信号REF\_\_END<368>に応じてリフレッシュ開始信号REF\_\_START<365>を活性化し、リフレッシュストップ信号STOP\_\_REFに応じてリフレッシュ開始信号REF\_\_START<365>を非活性化する。リフレッシュ開始信号が活性化しないのでこのサブブロックを含んだサブブロック

ループではリフレッシュ動作は停止する。

【0125】

以上説明したように、本発明を適用することにより部分リフレッシュ動作が容易に実現できる。さらに、全メモリ領域の4分の1や3分の1などのさまざまな部分リフレッシュ動作も容易に実現が可能である。なお、以上説明してきた実施例において、リフレッシュカウンタはインクリメント型を示したが、デクリメント型でも同様な構成が実現可能である。また、本発明は混載メモリに最適な技術であるが、汎用DRAMに対しても適用できる技術である。

【0126】

以上説明してきたように、本発明によればサブブロック内のワード線を活性化するためのカウンタのみでメモリ全空間のリフレッシュ動作が可能となる。さらに、従来のリフレッシュカウンタと比較するとカウンタビット数が少ないカウンタを内蔵すればよいので、リフレッシュカウンタ回路の面積が削減できる。さらに、サブブロック間でのリフレッシュ制御信号のシフトを行なうか、それとも最終段から最初の段へのループを行なうかのスイッチを切換えるだけでさまざまなリフレッシュサイクルを実現することができる。さらにサブブロック数が増減しても、同一のリフレッシュカウンタを利用することが可能である。さらに、サブブロック間をシフトするリフレッシュ完了信号を途中で止めることにより部分リフレッシュが容易に実現できる。さらにさまざまなメモリ空間が必要となる混載メモリには、設計工期も短縮できる最適なリフレッシュ制御動作が実現できる。

【0127】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0128】

【発明の効果】

本発明によれば、メモリ容量の変更が容易に実現でき、かつ、リフレッシュカウンタのビット数も削減でき回路面積が削減された半導体記憶装置を提供するこ

とができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態の半導体記憶装置の構成を示したブロック図である。

【図 2】 図 1 における中央制御回路の構成を示した回路図である。

【図 3】 図 2 における外部コマンド入力回路の構成を示す回路図である。

【図 4】 図 2 のロウ制御信号発生回路 1 4 の構成を示した回路図である。

【図 5】 図 4 に示したロウ制御信号発生回路の動作を説明するための動作波形図である。

【図 6】 図 2 におけるリフレッシュアドレスカウンタの構成を示した回路図である。

【図 7】 図 1 におけるローカルロウ制御回路、センスアンプ帯およびメモリセルアレイの構成を説明するための回路図である。

【図 8】 図 7 におけるセンスアンプの構成を示した回路図である。

【図 9】 図 7 における I O ゲートの構成を示した回路図である。

【図 1 0】 図 7 における制御部の構成を示す回路図である。

【図 1 1】 本発明の半導体記憶装置のリフレッシュ動作の説明をするための動作波形図である。

【図 1 2】 本発明が適用される混載用のメモリコアの例を説明するための図である。

【図 1 3】 サブブロックのワード線の数に対応するリフレッシュカウンタのみで全空間を循環してリフレッシュする動作を説明するための図である。

【図 1 4】 1. 5 K リフレッシュサイクルを実現するループを説明するための図である。

【図 1 5】 他のリフレッシュサイクルを実現するためのループ構成例を示した図である。

【図 1 6】 図 1 4 におけるアルミスイッチ A L S W A の説明をするための図である。

【図 1 7】 図 1 4 におけるアルミスイッチ A L S W B について説明するた

めの図である。

【図18】 部分リフレッシュ制御を概念的に説明するための図である。

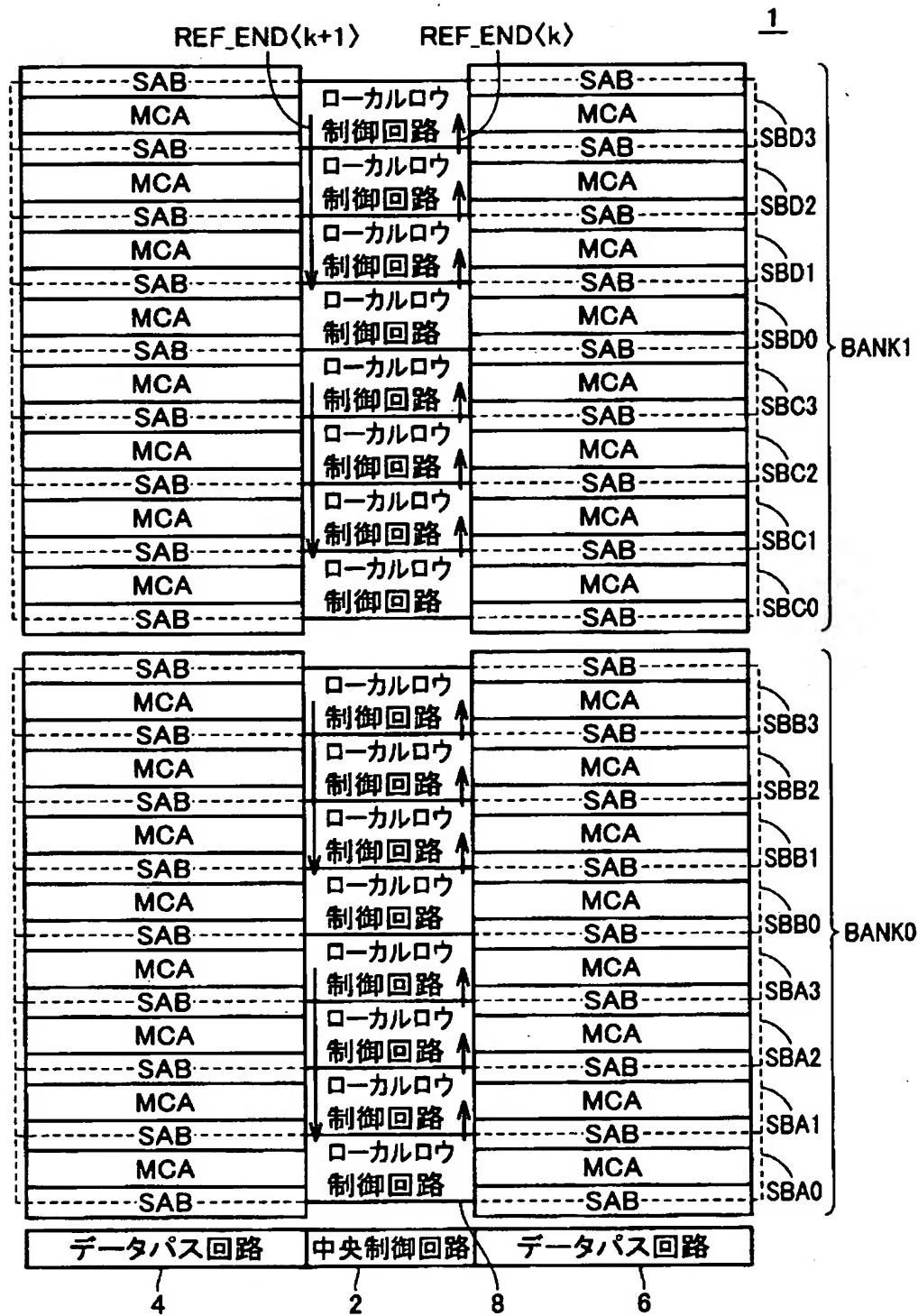
【図19】 部分リフレッシュを実現するための具体的な回路を説明するための回路図である。

【符号の説明】

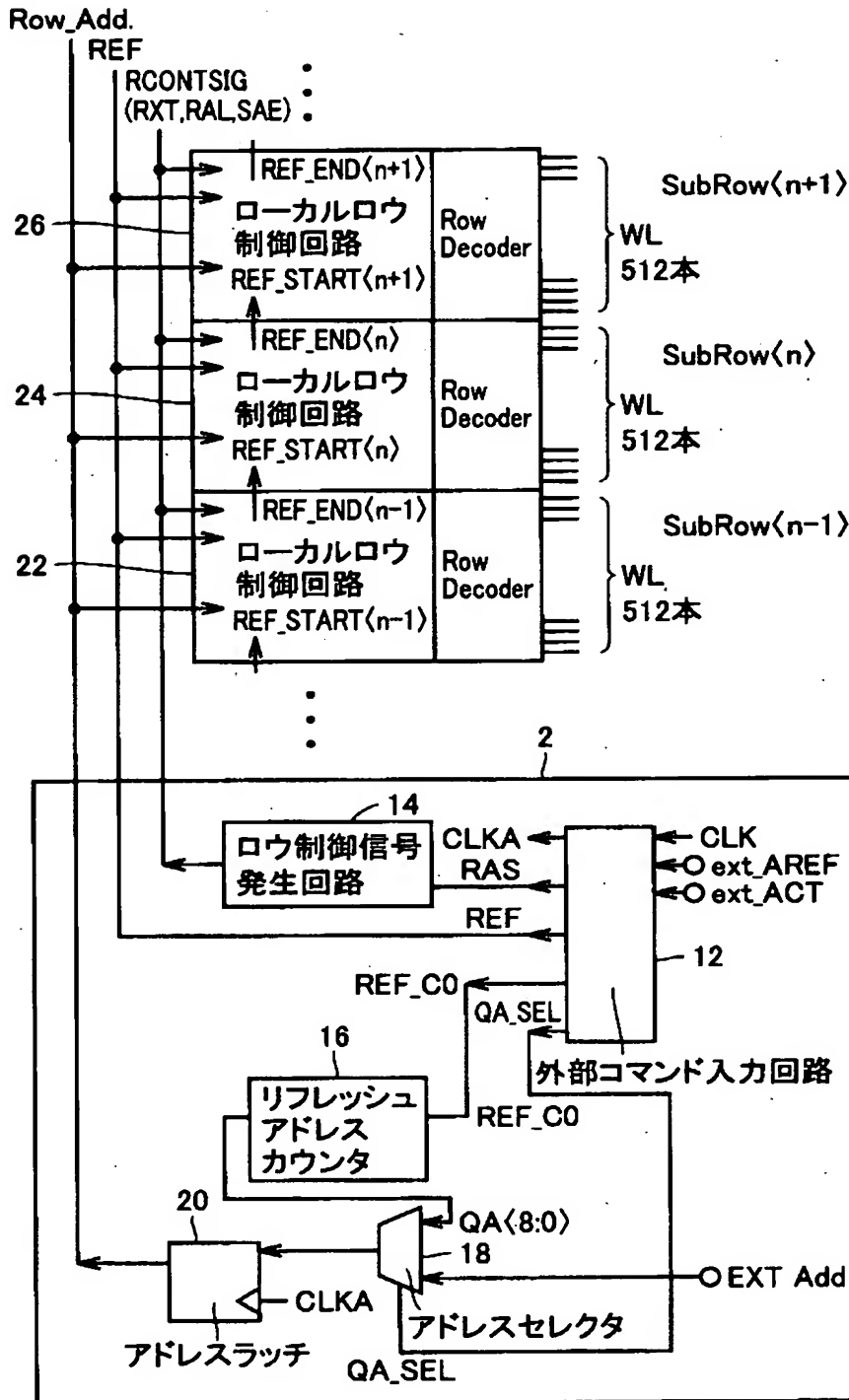
1 メモリコア、2 中央制御回路、8 ローカルロウ制御回路、4, 6 データバス回路、12 外部コマンド入力回路、14 ロウ制御信号発生回路、16 リフレッシュアドレスカウンタ、18 アドレスセレクタ、20 アドレスラッチ、22~26, 342, 343, SBA0~SBA3, SBB0~SBB3, SBC0~SBC3, SBD0~SBD3, SubRow サブブロック、268 WLデコーダ、32 内部クロック発生回路、34, 38 フリップフロップ回路、36, 40 ラッチ回路、42, 46 OR回路、44 クロック出力回路、22, 24, 26, 340, 341, 343, 344, 351, 355, 361, 365 ローカルロウ制御回路、106, DA, DB, DC, DD, DE, DP 遅延段、140~148 カウンタ段、152 フリップフロップ回路、160 制御部、162 BLI発生回路、164 BLEQ発生回路、166, 172 BLIドライバ、168, 174 BLEQドライバ、176 センスアンプ制御回路、178 ロウ選択回路、180~183 センスアンプ、190~196 IOゲート、260 REF\_END発生回路、262 REF\_START発生回路、264, 266 ラッチ回路、268 WLデコーダ、270 デコード回路、292, 296 アルミスイッチ、369 ゲート回路、370 OR回路、B0~B6, /B0~/B6, BL0~BL3, /BL0~/BL3 ビット線、IO, /IO IO線、ALSWA, ALSWB アルミスイッチ、BANK0, BANK1 メモリバンク、EQ0~EQ3 イコライズ回路、L1~L4 アルミ配線、MC00~MC33 メモリセル、MCA メモリセルアレイ、SAB, SAB1, SAB2 センスアンプ帯、WL<0>~WL<511> ワード線。

【書類名】 図面

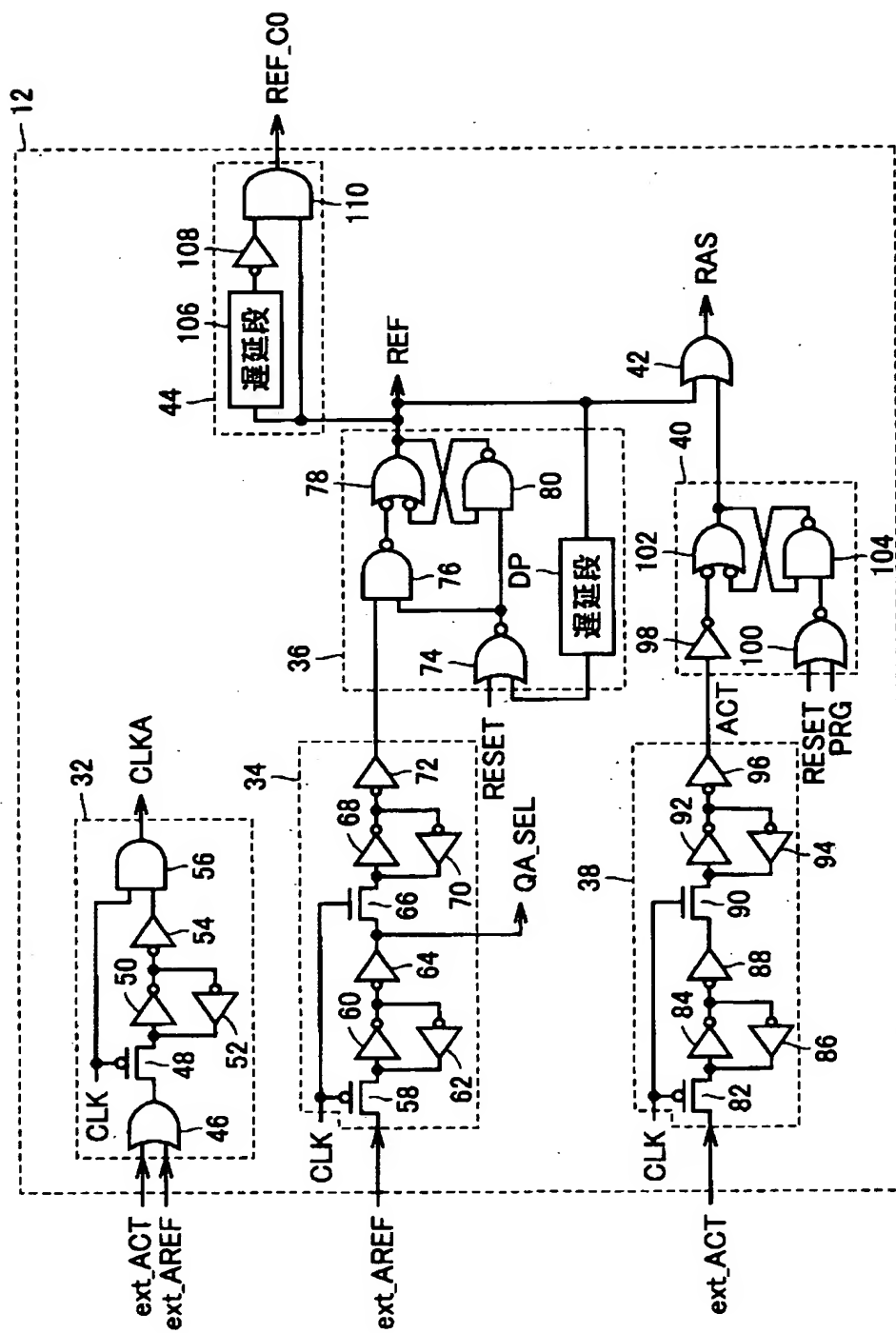
【図 1】



【図 2】



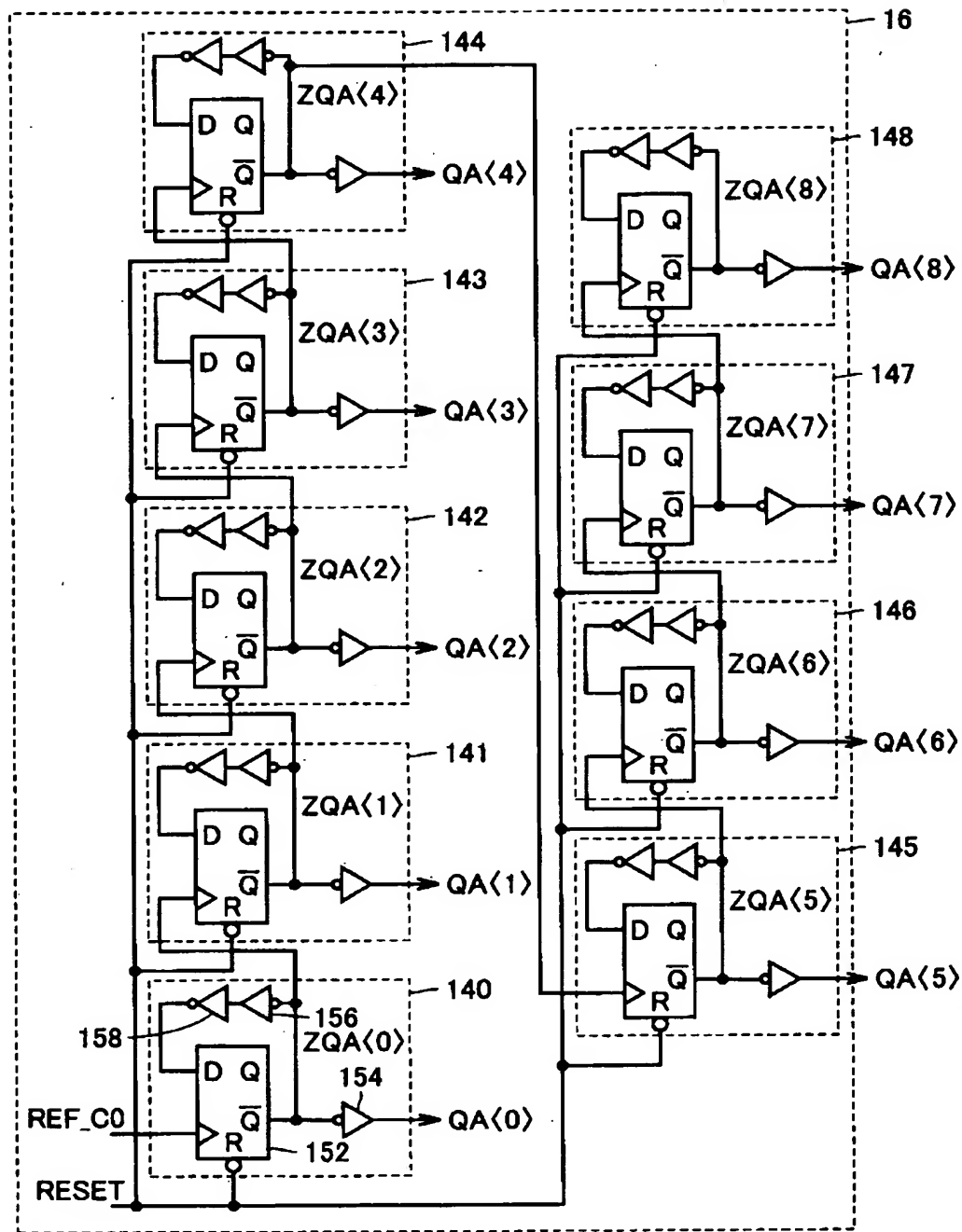
【図 3】



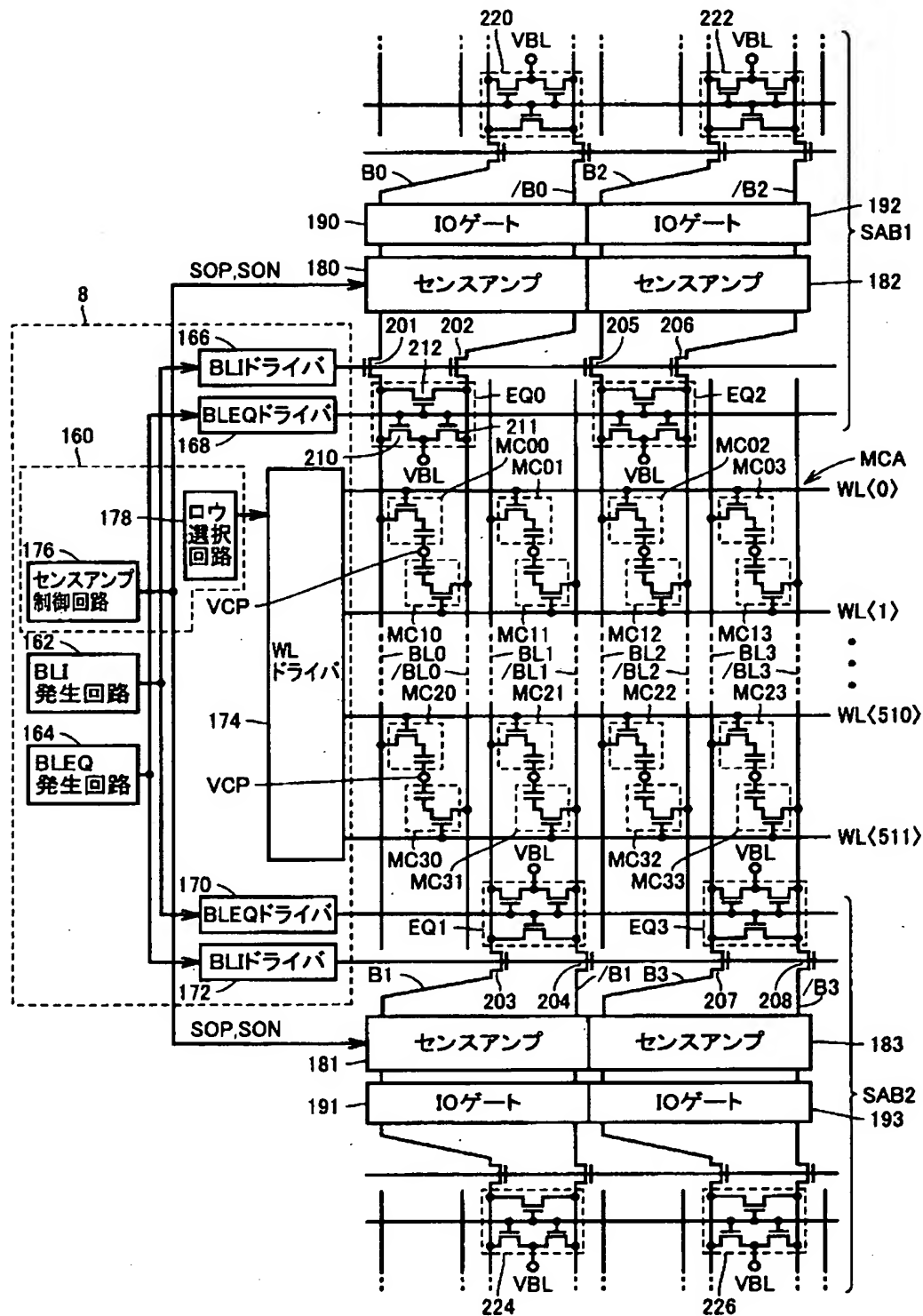




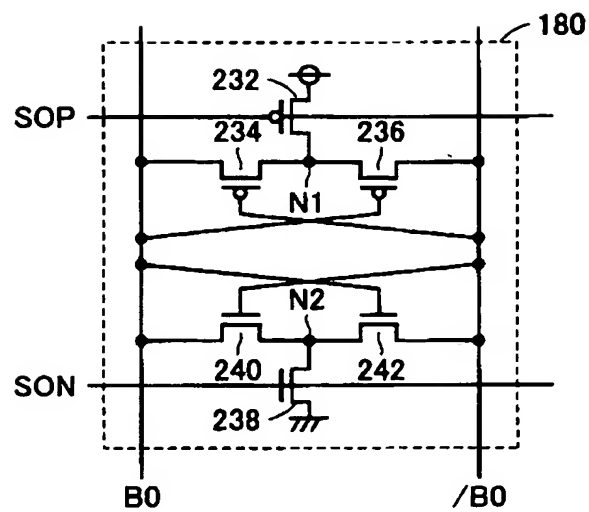
【図 6】



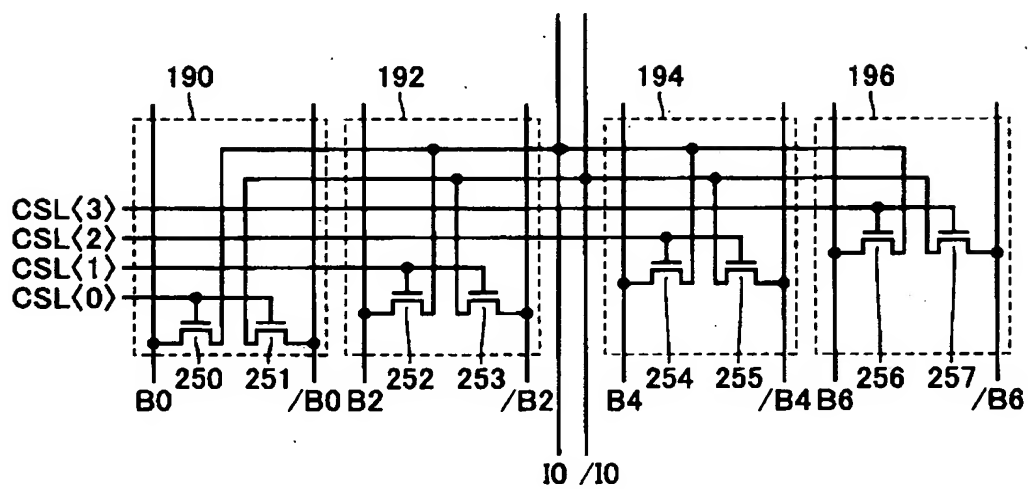
【図7】



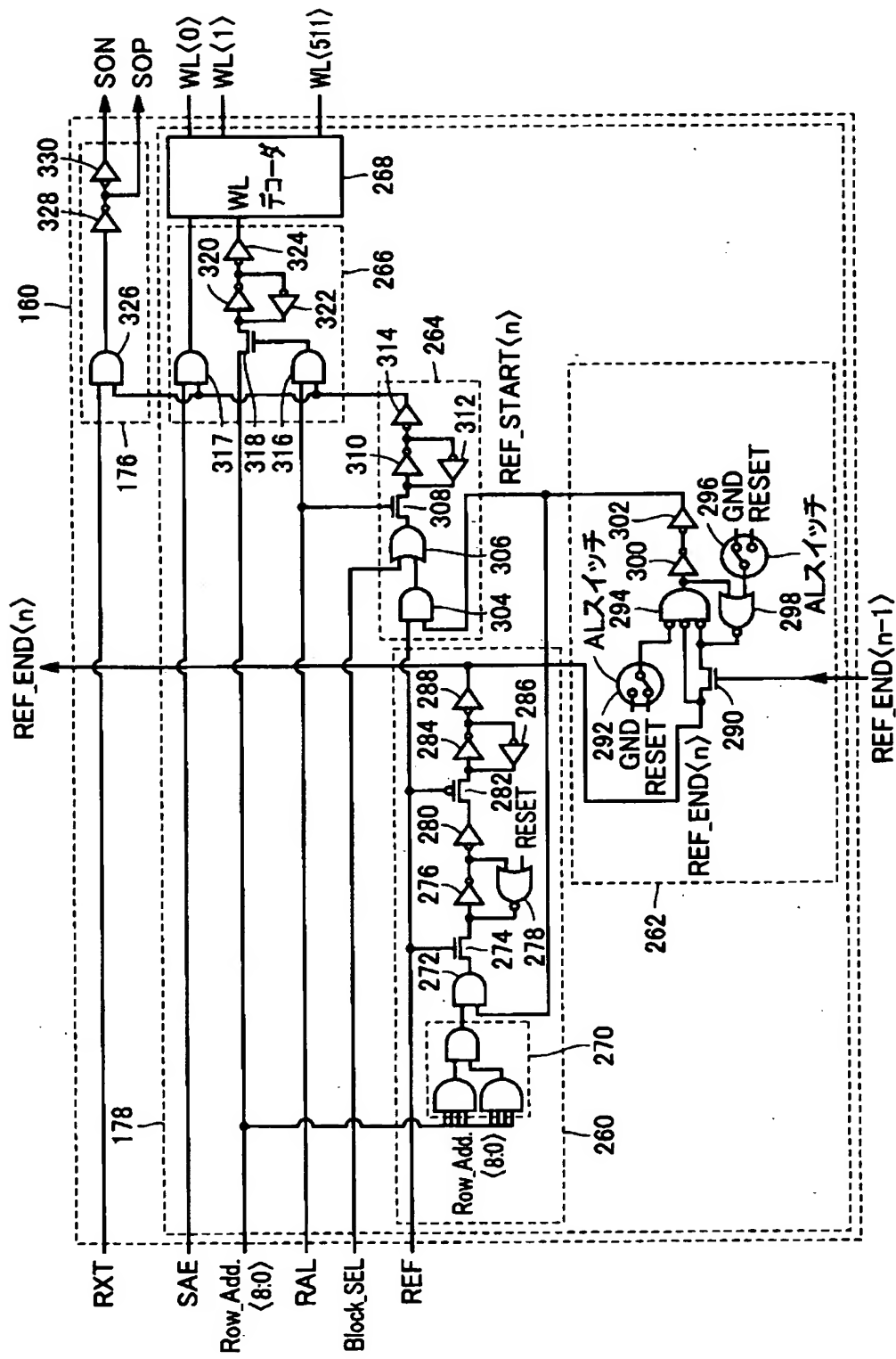
【図 8】



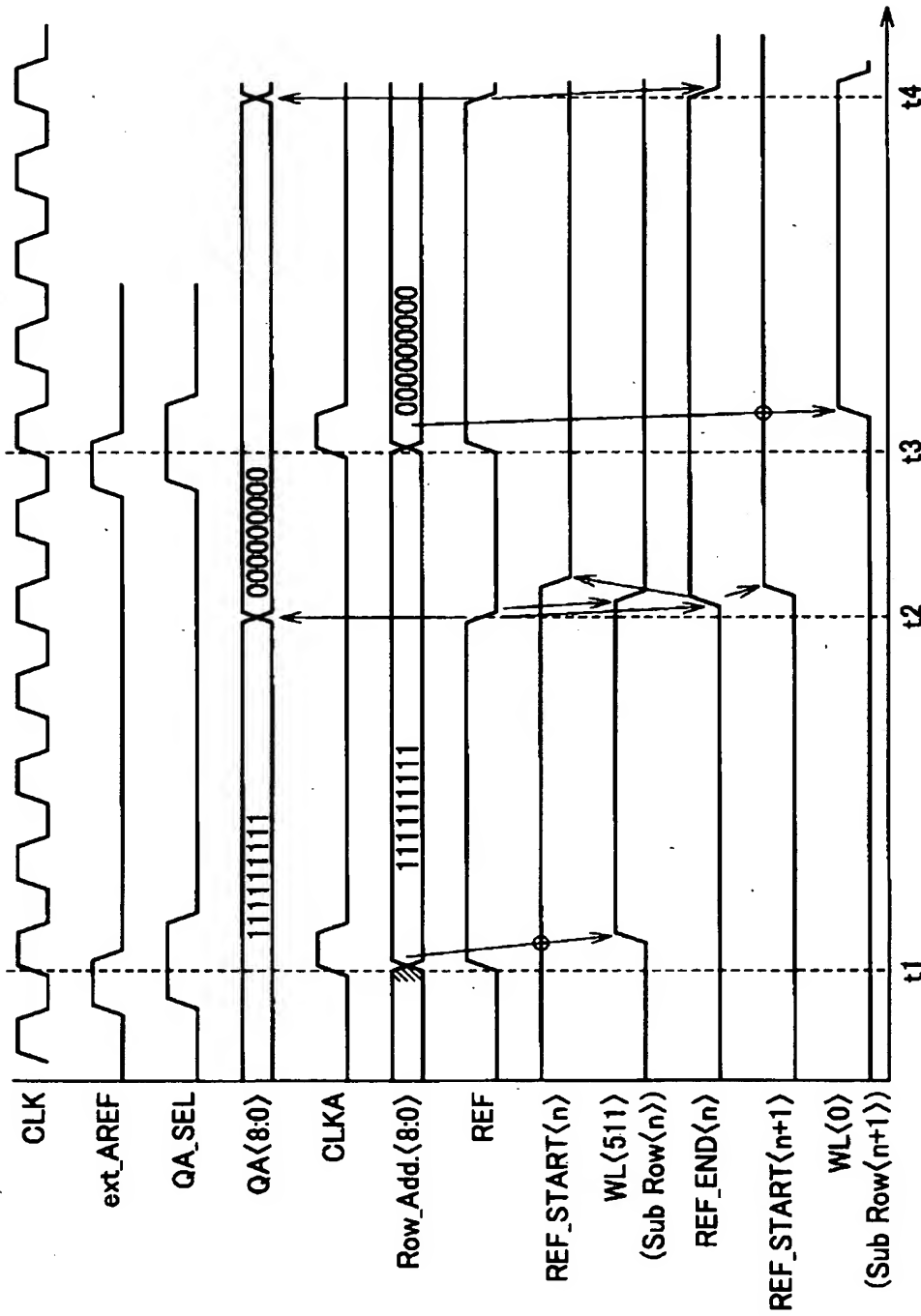
【図 9】



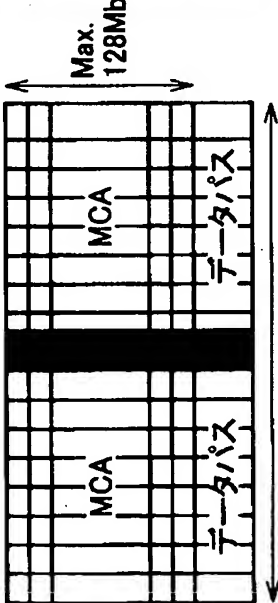
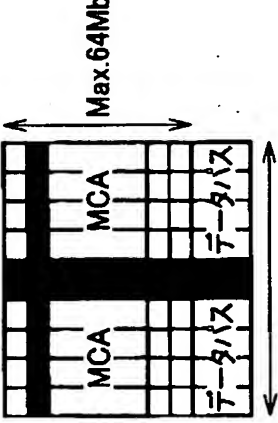
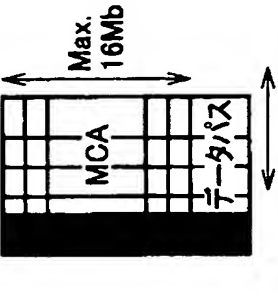
【図 10】



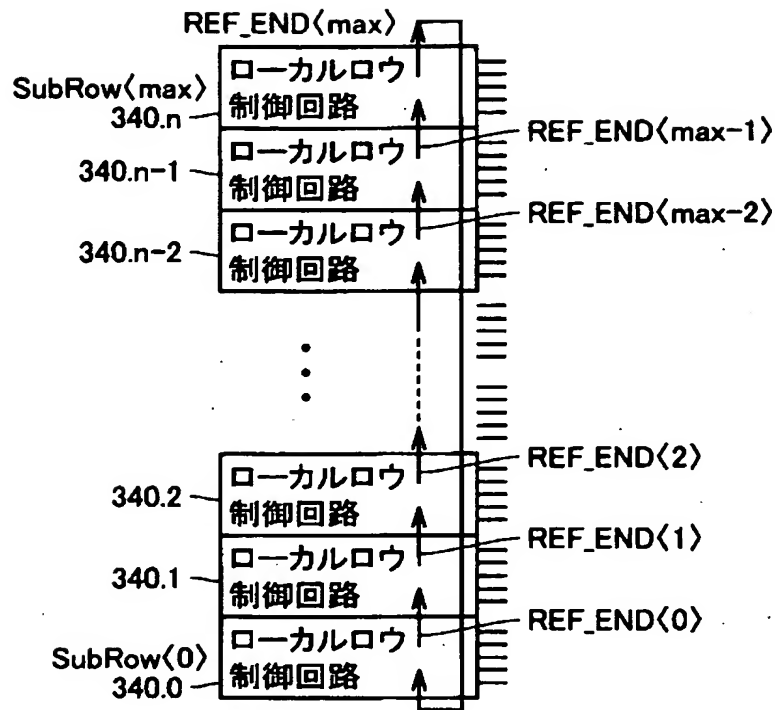
【図11】



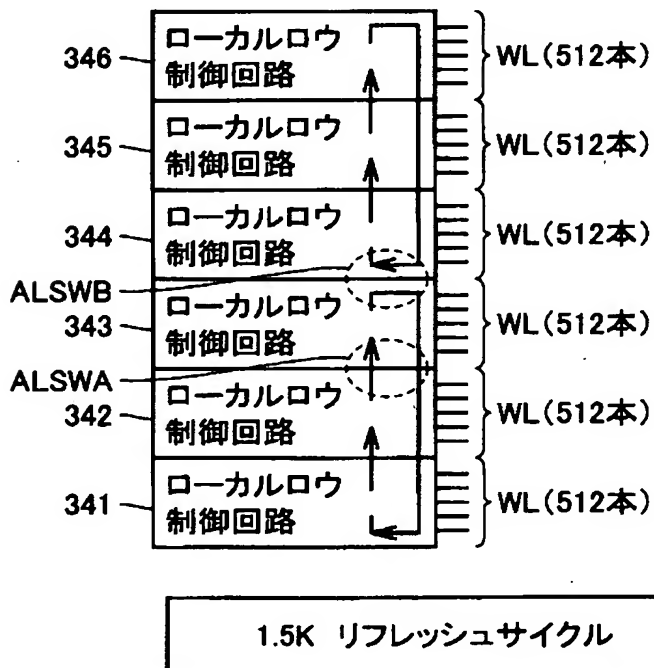
【図 12】

(タイプA) バンド幅広	(タイプB) 高速	(タイプC) 低電力
		

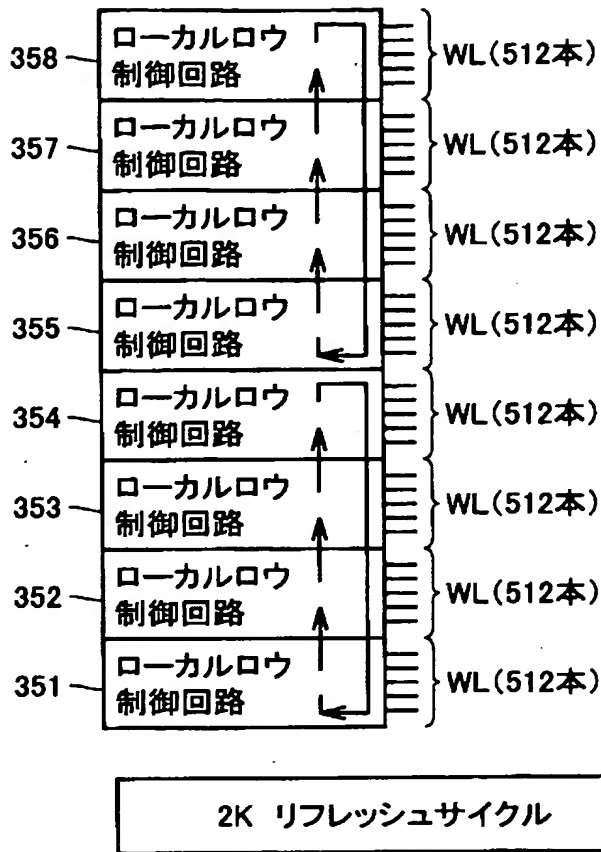
【図 1 3】



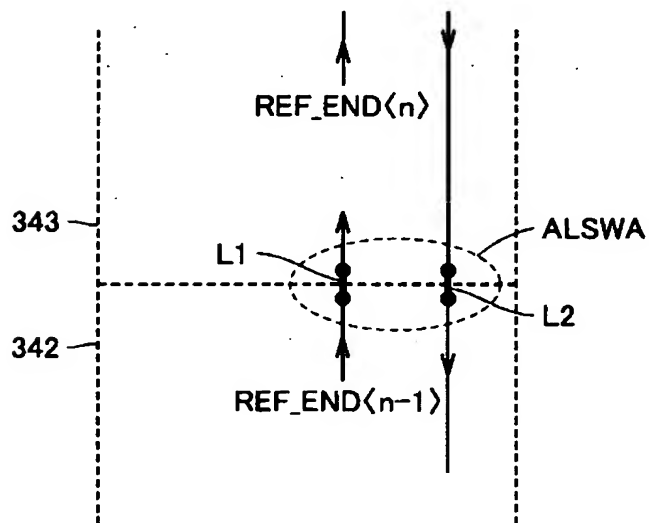
【図 1 4】



【図 15】

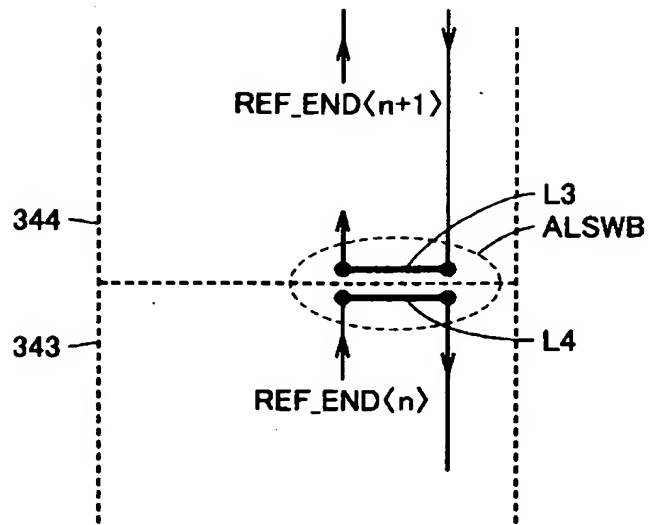


【図 16】

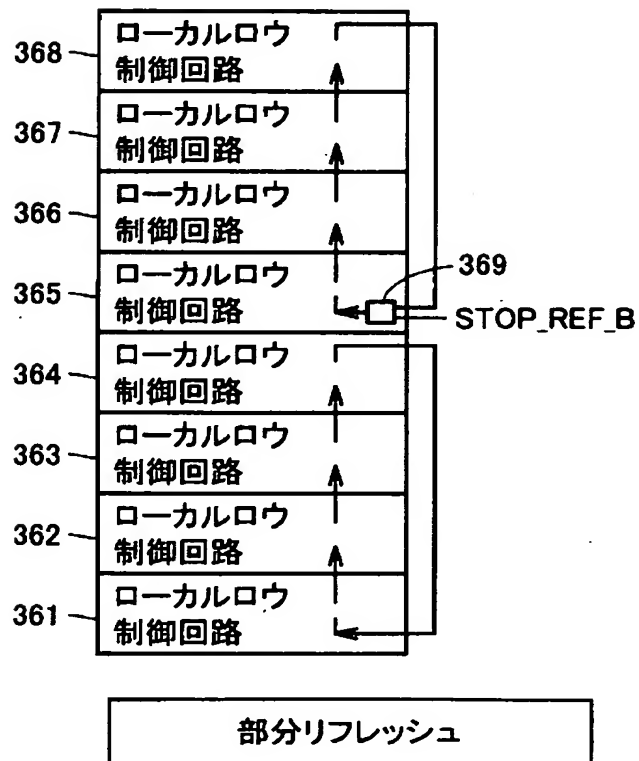




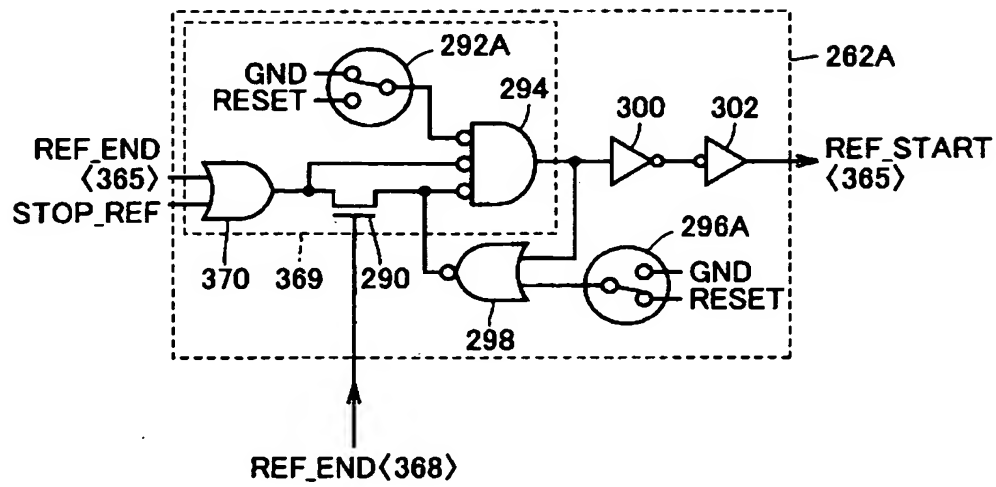
【図 1 7】



【図 1 8】



【図 1 9】



【書類名】            要約書

【要約】

【課題】    メモリ容量が容易に変更でき、かつリフレッシュ制御系の回路変更が容易に可能な混載メモリ向けのメモリコアを提供する。

【解決手段】    サブブロック SBA0～SBA3, SBB0～SBB3, SBC0～SBC3, SBD0～SBD3 がそれぞれ4つのグループを形成する。各グループ内でリフレッシュ完了信号 REF\_END が次のサブブロックに順に転送されていく。このため、サブブロックに存在するワード線数相当のビット数のリフレッシュカウンタを中央制御回路2に用意しておけば、サブブロックの数を変更し、サブブロックのグループ構成を変更することでメモリ容量の設計変更が容易に可能となる。

【選択図】            図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社